

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE
MINISTERE DE L'ENSEINEMENT SUPERIEUR
ET DE LA RECHERCHE SCIENTIFIQUE
UNIVERSITE DE BATNA
FACULTE DES SCIENCES DE L'INGENIEUR
MEMOIRE

Présenté au

DEPARTEMENT D'ELECTRONIQUE

Pour l'obtention du diplôme de

MAGISTER EN MICROELECTRONIQUE

Option : IC Design

Par

Badraddine BEZZA

Ingénieur, Département d'Electronique-Université de Batna

Intitulé

Micro processeur a instructions variables

Devant le jury constitué de :

Dr. S.AOUAGHLENT	M.C.	U. Batna	Président
Dr. Z.DIBI	M.C.	U. Batna	Rapporteur
Dr. A.CHAABI	Pr.	U. Constantine	Examineur
Dr. N.ATHEMENA	M.C.	U. Batna	Examineur

2010

Sommaire

Introduction générale	7
Chapitre I : Les plates-formes matérielles	12
I.1. INTRODUCTION	13
I.2. GENERALITES	13
I.2.1. LA LOI DE MOORE.....	13
I.2.2. LES METRIQUES DE CONCEPTION	14
I.2.2.1. LA CONCEPTION POUR LA SURFACE.....	14
I.2.2.2. LA CONCEPTION POUR LA PERFORMANCE.....	15
I.2.2.3. LA CONCEPTION POUR FAIBLE CONSOMMATION	17
I.2.2.4. LA CONCEPTION POUR FAIBLE COUT.....	19
I.2.2.5. LA CONCEPTION POUR LE TEMPS DE MISE SUR LE MARCHE	20
I.2.2.6. LA CONCEPTION POUR LA PORTABILITE ET LA REUTILISATION	20
I.3. LA PLATE-FORME FPGA	21
I.3.1. LES RESSOURCES LOGIQUES	21
I.3.2. AUTRES RESSOURCES LOGIQUES.....	23
I.3.3. LES RESSOURCES D'INTERCONNEXION.....	24
I.4. LA PLATE-FORME ASIC.....	25
I.5. LA PLATE-FORME PROCESSEUR	26
I.5.1. L'ARCHITECTURE DU PROCESSEUR	26
I.5.2. LA MICROARCHITECTURE DU PROCESSEUR.....	28
I.6. POURQUOI UTILISE-T-ON EN UTILISANT LA PLATE-FORME FPGA ?	28
I.6.1. ASIC CONTRE FPGA	28
I.6.2. LE SOFTWARE (PROCESSEUR) CONTRE L'FPGA	29
I.6.3. LE PROCESSEUR HARD CONTRE LE PROCESSEUR SOFT	30
I.7. CONCLUSION.....	31
Chapitre II : Configuration des FPGA	32
II.1. INTRODUCTION	33
II.2. LES GRANULARITE DES FPGA	33
II.3. LA MEMOIRE DE CONFIGURATION DE L'FPGA.....	34
II.4. LES MODELES DE MEMOIRE DE CONFIGURATION	34
II.5. LES TECHNOLOGIES DE CELLULE DE CONFIGURATION DES FPGA	35
II.5.1. LES DISPOSITIFS A BASE DE SRAM	35
II.5.2. LES DISPOSITIFS A BASE DE L'ANTI-FUSIBLE.....	36
II.5.3. LES DISPOSITIFS A BASE DE E ² PROM/FLASH.....	36
II.6. LES INTERFACES DE CONFIGURATION FPGA.....	37
II.7. LES STRATEGIES DE RECONFIGURATION	37
II.7.1. LA RECONFIGURATION STATIQUE	38
II.7.2. LA RECONFIGURATION DYNAMIQUE A L'EXECUTION.....	38
II.8. CONCLUSION	39
Chapitre III: Méthodologie et flot de conception	40
III.1. INTRODUCTION.....	41
III.2. LES METHODES ET LES LANGAGES DE CONCEPTION MATERIELLE.....	41
III.2.1. LE LANGAGE VHDL.....	42
III.2.2. LA METHODOLOGIE RTL (REGISTER TRANSFER LEVEL)	43
III.3. LES FLOTS DE CONCEPTION FPGA.....	44
III.3.1. LE FLOT DE CONCEPTION FPGA TYPIQUE	45
III.3.2. LE FLOT DE CONCEPTION SPECIALE.....	47

III.4. LES PROBLEMES DE CONCEVOIR UN PROCESSEUR SOFT SUR FPGA	48
III.4.1. LES OCCASIONS DE LA CONCEPTION DU PROCESSEUR SOFT.....	49
III.4.2. LES PROBLEMES DU JEU D'INSTRUCTION	50
III.4.3. COMPARAISON DE JEU D'INSTRUCTION DU PROCESSEUR SOFT.....	50
III.5. LE PARTITIONNEMENT LOGICIEL/MATERIEL	51
III.5.1. LES CRITERES DE PARTITIONNEMENT LOGICIEL/MATERIEL	51
III.5.2. LES ARCHITECTURES DU MATERIEL PERSONNALISE.....	52
III.5.3. LA PERSONNALISATION D'INSTRUCTIONS.....	53
III.6. LA METHODOLOGIE.....	54
III.7. CONCLUSION.....	55
Chapitre IV : Conception du processeur	56
IV.1. INTRODUCTION	57
IV.2. L'ARCHITECTURE DU PROCESSEUR.....	57
IV.2.1. LES REGISTRES DU PROCESSEUR	59
IV.2.2. L'ARCHITECTURE DU JEU D'INSTRUCTIONS	59
IV.2.3. L'ASSEMBLEUR ET LE VHDL	64
IV.3. LA DESCRIPTION VHDL DU PROCESSEUR.....	65
IV.3.1. LE BLOC MEMOIRE (RAM.VHD).....	65
IV.3.2. LE BLOC D'INTERFACES BUS (IBUS.VHD):	67
IV.3.3. LES PHASES PIPELINE DU PROCESSEUR	69
IV.3.3.1. LA PHASE DE RECHERCHE D'INSTRUCTION (FETCH.VHD)	69
IV.3.3.2. LA BANQUE DE REGISTRES (REGFILE.VHD):	71
IV.3.3.3. LA PHASE WRITE-BACK (MEMWB.VHD):	74
IV.3.3.4. LA PHASE DE DECODAGE (DEC.VHD):	76
IV.3.3.5. LA PHASE D'EXECUTION (EXEC.VHD):	80
IV.3.3.6. LE BLOC PERSONNALISE (CUSTOM.VHD):.....	87
IV.4. CONCLUSION	88
Chapitre V: Les Résultats.....	89
V.1. INTRODUCTION.....	90
V.2. LA VERIFICATION DU PROCESSEUR DE BASE	90
V.2.1. LE SCHEMA DU PROCESSEUR	90
V.2.2. LE TEST INCREMENTIEL	91
V.2.3. LE TESTBENCH ET LE DEBOGAGE D'UN SIGNAL INTERNE.....	92
V.2.4. LE PROGRAMME DE TEST.....	92
V.2.5. LA SIMULATION FONCTIONNELLE	93
V.2.6. AUTRE METHODE DE DEBOGAGE ET LE CODE NON SYNTHETISABLE.....	95
V.2.7. LA SIMULATION TEMPORELLE	97
V.2.8. L'ARCHITECTURE DE HARVARD	98
V.3. LA VERIFICATION DU PROCESSEUR AVEC INSTRUCTIONS PERSONNALISEE	99
V.4. LA VERIFICATION DE LA RECONFIGURATION	102
V.4.1. L'ALGORITHME	103
V.4.2. LES INSTRUCTIONS PERSONNALISEES	104
V.4.3. RESULTATS DE SIMULATION ET DISCUSSION	105
V.5. LES RESULTATS D'IMPLEMENTATION A L' FPGA.....	106
V.5.1. L'ENTREE DE LA CONCEPTION	106
V.5.2. LA SYNTHESE	107
V.5.3. LA FREQUENCE MAXIMALE	107
V.6. CONCLUSION	108
Conclusion générale.....	109
Bibliographie.....	111