

République Algérienne Démocratique et Populaire
Ministère de l'Enseignement Supérieur et de la Recherche Scientifique

Université de Batna
Faculté des Sciences de l'Ingénieur
Département d'Informatique

THESE

Présentée par
AMOKRANE Samah

En vue de l'obtention du diplôme de Magister en Informatique
Option : Informatique Industrielle

THEME

Algorithme Génétique pour le Problème d'Ordonnancement
dans la Synthèse de Haut Niveau pour Contrôleurs Dédiés.

Soutenue le devant le jury composé de :

Dr Abdelmadjid ZIDANI	M.C	Université de Batna	Président
Dr Mohamed BENMOHAMED	M.C	Université de Constantine	Rapporteur
Dr Azzeddine BILAMI	M.C	Université de Batna	Examineur
Dr Mohamed Salah KHIREDDINE	C.C	Université de Batna	Examineur

Résumé

Le progrès offert par la technologie de fabrication des circuits micro-électroniques a ouvert la voie à la conception de systèmes digitaux d'une grande complexité. D'où la nécessité progressive de concevoir des circuits à de plus haut niveaux d'abstraction comme le niveau algorithmique. La synthèse de haut niveau consiste en la traduction d'une description comportementale (algorithmique) en une description équivalente au niveau transfert de registres. Le processus de synthèse de haut niveau est composé de plusieurs phases entre autres la phase d'ordonnement. Cette phase, qui a une grande influence sur la qualité du circuit final, définit une date d'exécution pour chaque opération de la description algorithmique tout en respectant certaines contraintes. Une grande variété d'algorithmes existe dans la littérature pour résoudre efficacement le problème d'ordonnement, reconnu comme étant un problème NP-Complet.

Cette thèse présente un aperçu sur les différentes techniques d'ordonnement connues actuellement. Ces algorithmes ont été classifiés, selon leur domaine d'application, en deux catégories : des algorithmes orientés flot de données et ceux orientés flot de contrôle. Pour chaque catégorie un ensemble d'algorithmes sont décrits brièvement. Finalement, on propose une technique d'ordonnement GPBS, pour les circuits de contrôle, basée sur la combinaison de l'algorithme d'ordonnement à base de chemins et d'un algorithme génétique.

Mots-clés : CAO/VLSI, Synthèse de haut niveau, Ordonnement, Algorithme d'ordonnement à base de chemin, Algorithmes génétiques.

Abstract

The progress offered by the technology of micro-electronics circuits manufacture opened the way to the conception of digital systems of a big complexity. From where the progressive necessity to conceive circuits to higher levels of abstraction as the algorithmic level. The High-Level Synthesis consists in the translation of a behavioral description (algorithmic) in an equivalent description at the Register-Transfer Level. The High-Level Synthesis process is composed of several phases among others the phase of scheduling. This phase, which has a tremendous impact on the final design quality, defines a date of execution for every operation of the algorithmic description while respecting some constraints. A big variety of algorithms exists in the literature to solve efficiently the problem of scheduling, recognized as being an NP-complete problem.

This thesis presents a preview on the different scheduling techniques known currently. These algorithms have been classified, according to their domain of application, in two categories, : data flow oriented algorithms and those control flow oriented. For every category a whole of algorithms is described briefly. Finally, we propose a scheduling technique GPBS, for circuits of control, based on the combination of the Path-Based Scheduling algorithm and a genetic algorithm.

Key-words: CAD/VLSI, High-Level Synthesis, Scheduling, Path based scheduling algorithm, Genetic algorithms.

Table des matières

Chapitre 1 : Introduction	1
1.1 Introduction	1
1.2 Structure du mémoire	2
Chapitre 2 : Synthèse de circuits	3
2.1 Introduction	3
2.2 Niveaux d'abstraction	4
2.3 Flot de conception d'un circuit	6
2.3.1 Synthèse au niveau système	6
2.3.2 Synthèse de haut niveau	6
2.3.3 Synthèse au niveau transfert de registres	6
2.3.4 Synthèse logique	7
2.3.5 Synthèse physique	7
2.4 Langages de description	7
2.4.1 Langages déclaratifs	7
2.4.1.1 Silage	7
2.4.2 Langages procéduraux	8
2.4.2.1 Verilog	8
2.4.2.2 VHDL	9
2.4.3 Quel langage utiliser ?	11
2.5 VHDL	11
2.5.1 Description d'un module en VHDL	12
2.5.1.1 L'énoncé Entity	12
2.5.1.2 L'énoncé Architecture	14
2.5.2 L'énoncé Process	14
2.5.3 Les signaux et les variables	15
2.5.4 Les types de données	16
2.5.5 Instructions concurrentes	18
2.5.6 Instructions conditionnelles	19
2.5.7 Instructions itératives	20
2.5.8 Programmation modulaire	21
2.5.8.1 Procédures et fonctions	21
2.5.8.2 Les paquetages et les librairies	22
2.5.9 Les paramètres génériques	23
2.6 Conclusion	24
Chapitre 3 : Synthèse de haut niveau	25
3.1 Introduction	25
3.2 Principe général de la synthèse de haut niveau	26
3.3 Domaine d'application de la synthèse de haut niveau	26
3.4 Représentation interne	27
3.4.1 Graphe de flot de contrôle	27
3.4.2 Graphe de flot de données	28
3.4.3 Représentation interne des applications mixtes	29
3.5 Flot de la synthèse de haut niveau	30
3.5.1 Description comportementale	32
3.5.2 Compilation de la description comportementale	33
3.5.3 Ordonnancement	33

6.2.2 Génération de la population initiale	81
6.2.3 Fonction de mérite	82
6.2.4 Sélection	83
6.2.5 Croisement	84
6.2.6 Mutation	85
6.3 Les algorithmes génétiques au service d'autres algorithmes	86
6.4 Algorithme GPBS (Genetic Path Based Scheduling)	86
6.4.1 Algorithme à base de chemins PBS	87
6.4.2 Combinaison de l'algorithme PBS avec un algorithme génétique.....	89
6.4.3 Différentes étapes de l'algorithme GPBS.....	92
6.4.4 Définition de l'algorithme génétique et de ses différents opérateurs.....	93
6.5 Conclusion	98
Chapitre 7 : Conclusion et perspectives	99
7.1 Synthèse	99
7.2 Perspectives	100
Bibliographie :	101