THESE

présenté par

Bachir BERKANE

pour obtenir le grade de DOCTEUR
de L'INSTITUT NATIONAL POLYTECHNIQUE DE GRENOBLE

(arrêté ministériel du 30 mars 1992)

(Spécialité : Signal - Image - Parole)

Vérification des systèmes matériels numériques séquentiels synchrones

Application du langage Lustre et de l'outil de vérification Lesar

Date de soutenance : 2 octobre 1992

Composition du jury :	Président	G. Mazaré
	Rapporteurs	F. Anceau
		P. Prinetto
	Examinateurs	G. Thuau
		V. Olive

Thèse préparée au sein du Laboratoire de Génie Informatique

Sommaire

Résumé de thèse : La validation fonctionnelle d'un système matériel consiste à vérifier le système vis-à-vis de son fonctionnement attendu. Il existe deux façons de spécifier ce fonctionnement attendu. D'une part, la spécification peut être donnée sous forme d'une description fonctionnelle complète. D'autre part, l'expression de cette spécification peut être donnée sous forme d'un ensemble de propriétés temporelles critiques. Ces deux façons de spécifier les systèmes matériels ont donné lieu à deux problèmes de vérification. Notre domaine d'étude concerne les *systèmes matériels numériques séquentiels synchrones*. Ce document développe une approche de vérification unifiée, fondée sur le modèle de machines d'états finis, pour résoudre les deux problèmes de vérification sur ces systèmes. Dans cette approche, tout problème de vérification se ramène à définir une machine d'états finis sur laquelle la vérification sera réalisée. L'application du langage Lustre et de l'outil de vérification Lesar associé a été étudiée dans le but de valider cette approche. Dans cette application, la résolution des deux problèmes de vérification se ramène à définir un programme Lustre ayant une seule sortie. La vérification consiste à vérifier que cette sortie est la constante booléenne *1*. Cette vérification est réalisée automatiquement par l'outil de vérification Lesar.

Mots-clés : systèmes matériels numériques séquentiels synchrones, machines d'états finis, vérification fonctionnelle, propriétés temporelles, environnement d'un système matériel, langage de description du matériel, outil de vérification, diagnostic.

Abstract: The functional verification of hardware design consists in checking that a given system operates as specified. There are mainly two kinds of high level specifications used in hardware design: (1) a complete specification given by a high abstraction level and (2) a partial high level specification made up of a set of properties that the system must satisfy. These two different kinds of hardware specifications give rise to two different verification problems. This thesis presents a unified framework to handle the two verification problems on synchronous sequential digital hardware systems. Each verification problem comes down to defining a verification machine with a single output Flag and to verifying that Flag is always true. The application of the langage Lustre and the verification tool Lesar is studied. Whithin this application, the designers can face their verification problems by defining a Lustre program with a single output flow. The verification comes down to checking that this output flow is the constant true. This verification is automatically performed by the verification tool Lesar.

Keywords: synchronous sequential digital hardware systems, finite state machines, functional verification, temporal properties, hardware system environment, hardware description langage, verification tool, diagnosis.