

République Algérienne Démocratique et populaire
Ministre de l'enseignement Supérieur et de la recherche scientifique

Université de Batna
Faculté des Sciences de l'Ingénieur
Département d'Electronique

Laboratoire de l'Electronique Avancée
LEA Batna
Laboratoire des Etudes Physico-Chimique des Matériaux
LEPCM Batna

THESE DE DOCTORAT EN SCIENCES
EN ELECTRONIQUE

Option : **Contrôle**

Présentée par

Fayçal DJEFFAL

Ingénieur d'état en Electronique, Magister en Electronique

THEME

**Modélisation et simulation prédictive du transistor
MOSFET fortement submicronique. Application à la
conception des dispositifs intégrés**

Thèse soutenue le 19 / 04 / 2006

Devant le jury composé de :

N.E. Bouguechal	Professeur	Université de Batna	Président
M. Chahdi	Professeur	Université de Batna	Rapporteur
A. Benhaya	M.C	Université de Batna	Co-Rapporteur
M.S. Aida	Professeur	Université de Constantine	Examineur
N.E.Sengouga	Professeur	Université de Biskra	Examineur
M. Bouchemat	Professeur	Université de Constantine	Examineur

2005/2006

Table des matières

Notations et constantes	1
Introduction Générale	3
I Transistor MOSFET fortement submicronique	6
I.1 Evolution de la technologie CMOS	6
I.2 contraintes pour les générations futures	7
I.3 Transistor MOSFET.....	10
I.3.1 Technologie de fabrication du MOSFET	11
I.3.1.a Les méthodes de fabrication SOI	12
I.3.1.b Comparaison entre la technologie Bulk et la technologie SOI	13
I.3.1.c Technologie nanométrique.....	15
I.4 Effets de la miniaturisation	17
I.4.1 Injection d'électrons chauds	17
I.4.2 DIBL (Drain Induced Barrier Lowering)	19
I.4.3 Courant sous seuil	20
I.4.4 Résistances parasites à la source et au drain	23
I.4.5 Effet de la géométrie du transistor sur la tension de seuil	25
I.5 Solutions apportées à certains effets indésirables de la miniaturisation	27
I.5.1. Amélioration du contrôle de la grille sur la charge de déplétion grâce à la technologie SOI	27
I.5.2 Diminution de l'effet des porteurs chauds	28
I.5.3 Amélioration de la pente sous seuil	29
I.5.4 Transistor MOSFET à double grilles (Double-Gate MOSFET).....	30
I.6 Intelligence artificielle	33
I.7 Conclusion	33
II Réseaux de neurones: principes et applications	34

II.1	Introduction	34
II.2	Eléments de base des réseaux de neurones.....	34
II.2.1	Le modèle neurophysiologique	34
II.2.2	Modèle de base de neurone artificiel: le neurone formel	35
II.3	Architecture d'un réseau de neurone	37
II.3.1	Réseaux proactifs	38
II.3.1.1	Réseaux proactifs monocouches.....	38
II.3.1.2	Réseaux proactifs multicouches	39
II.3.2	Réseaux récurrents.....	40
II.3.3	Mode de fonctionnement du réseau de neurones.....	41
II.4	Avantages et inconvénients	43
II.5	Algorithme d'apprentissage.....	43
III	simulation prédictive du transistor MOSFET fortement submicronique.....	46
III.1	Introduction	46
III.2	Conception et réalisation du dispositif expérimental	46
III.2.1	Partie Hardware	46
III.2.1.1	Technique C-V	47
III.2.1.2	Principe de fonctionnement du système.....	48
III.2.1.3	Conception du générateur de rampe.....	48
III.2.1.4	Principe de fonctionnement du générateur de rampe	49
III.2.1.5	Multiplexage.....	50
III.2.1.6	Conversion analogique numérique.....	50
III.2.1.7	Technique de pompage de charges.....	50
III.2.1.8	Principe de fonctionnement du système	51
III.2.2	Partie software	55
III.2.2.1	organisation du programme principal.....	55
III.2.3	Présentation et interprétation des résultats	56
III.2.3.1	Protocole expérimental.....	56
III.2.3.1.a	Le dispositif de mesure	56
III.2.3.1.b	L'échantillon	56

III.2.3.2 Principe de la méthode	57
III.2.3.2.1 Calcul quantique de la caractéristique C-V	59
III.3 Développement du prédicteur neuronal	63
III.3.1 Calcul neuronal	63
III.3.1.1 Optimisation du prédicteur neuronal.....	65
III.3.2 Résultats et discussion.....	72
III.3.2.1 Estimation de la durée de vie	75
III.3.2.2 Implantation du modèle de dégradation	75
III.3.2.3 Impact du modèle de dégradation sur la conception des circuits intégrés.....	79
III.4 Conclusion.....	84
IV Modélisation et simulation des circuits CMOS nanométriques	85
IV.1 Introduction	85
IV.2 Méthodologie de modélisation.....	87
IV.2.1 Formalisme des fonctions de Green hors-équilibre (NEGF)	87
IV.2.2 Calcul neuronal	96
IV.3 Résultats et discussion.....	99
IV.3.1 Implémentation du modèle ANN	102
IV.4 Conclusion	107
V Simulation prédictive de la réduction dimensionnelle du transistor DG MOSFET	108
V.1 Introduction	108
V.2 Méthodologie de modélisation	109
V.2.1 Formulation éléments finis	110
V.2.2 Modélisation de l'inverse de la pente sous seuil (S)	112
V.2.3 Calcul neuronal.....	125
V.2.4 Abaque de la réduction dimensionnelle de transistor DG MOSFET	127
V.3 Conclusion.....	128
Conclusion Générale	129

Références Bibliographiques 133
Annexe A 142