

Université de BATNA  
Faculté des Sciences de l'ingénieur  
Département d'Informatique

## MEMOIRE

Présenté par

HEDJAZI DJALAL

En vue de l'obtention du diplôme de *Magister en Informatique*

Option : **Informatique Industrielle**

### **Conception et Réalisation d'un Compilateur de Silicium pour Circuit de Contrôle décrit dans un Environnement de synthèse de Haut Niveau**

Composition du jury :

Dr A. Zidani	M.C	Université de Batna	Président
Dr M.Benmohammed	M.C	Université de Constantine	Rapporteur
Dr M.C. Batouche	M.C	Université de Constantine	Examineur
Dr M.K. Kholadi	C.C	Université de Constantine	Examineur
Dr M.S.Khireddine	C.C	Université de Batna	Examineur

## Résumé

Du fait que la conception des circuits intégrés devient impossible à gérer humainement au niveau bas, il est nécessaire d'augmenter les efforts pour développer des outils au niveau le plus élevé pour la conception. Ces efforts de recherche donnent une naissance de la synthèse de haut niveau, qui permet de générer la structure d'un circuit à partir d'une description initiale sous forme algorithmique, cette description permet de décrire les fonctions à réaliser par le circuit.

D'une façon générale la synthèse de haut niveau est un processus qui traduit une spécification comportementale sous forme algorithmique en une architecture matérielle capable de l'exécutée. Le processus de traduction est divisé en deux étapes. La première est l'ordonnancement qui affecte les tâches à des unités de temps. La deuxième est l'allocation qui assigne des opérations à des opérateurs physiques, variables à des registres et des connexions à des transferts de données. Le résultat de ces deux étapes est une architecture composée d'un chemin de données (partie opérative) commandée par un contrôleur (partie contrôle). Le chemin de données est constitué d'un ensemble de ressources matérielles (opérateurs, registres, ...) et d'un réseau de communication qui assure les transferts de données entre ces ressources. Le contrôleur ordonne le séquençement des opérations exécutées par les composants du chemin de données.

Le but visé par le présent travail est double :

- Présenter une synthèse sur le domaine de la synthèse de haut niveau (*HLS*).
- Mettre en œuvre un outil de synthèse de haut niveau (*CS03*)

**Mots-clefs :** Synthèse architecturale, Synthèse de haut niveau, Compilateur de silicium, Ordonnancement, Allocation, *HLS*, *VHDL*.

## Abstract

Because the conception of the integrated circuits becomes impossible managed humanly to the low level, it is necessary to increase the efforts to develop some tools to the most elevated level for the conception. These efforts of research give a birth of the high-level synthesis, that permits to generate the structure of a circuit from an initial description under algorithmic shape; this description permits to describe the functions to achieve by the circuit. Process of translation is divided in two stages. The first is the scheduling that affects the tasks to units of time. The second is the allocation that assigns some operations to physical operators, variable to registers and connections to transfers of data. The result of these two stages is an architecture composed of a path of data (operative part) ordered by a controller (control part). The path of data is constituted of a set of material resources (operators, registers...) and of a network of communication that assures the transfers of data between these resources. The controller orders the operations executed by the components of the path of data.

The goal aimed by the present work is double:

- Give a synthesis on the domain of the high-level synthesis (*HLS*).
- Develop a high-level synthesis tool (*CS03*).

**Key words:** Architectural synthesis, high-level Synthesis, Compiler of silicon, Scheduling, Allocation, *HLS*, and *VHDL*.

# Table des matières

<b>Introduction</b>	<b>1</b>
1. Introduction.....	1
2. Plan de mémoire.....	2
<b>1. La CAO des circuits de contrôle</b>	<b>3</b>
1. Introduction.....	3
2. Modèles de représentation des circuits intégrés.....	3
2.1. Niveaux d'abstractions.....	3
2.1.1. Niveau géométrique.....	4
2.1.2. Niveau circuit.....	4
2.1.3. Niveau logique.....	4
2.1.4. Niveau structurel(transfert de registres <i>RT</i> ).....	4
2.1.5. Niveau comportemental.....	4
2.1.6. Niveau système.....	4
3. Circuit de contrôle.....	5
3.1. Architecture cible des circuits de contrôle.....	6
3.1.1. Partie contrôle (Contrôleur).....	7
3.1.2. Partie opérative (Chemin de données).....	7
4. CAO des circuits de contrôle.....	9
4.1. Flot de synthèse.....	9
4.1.1. La synthèse.....	10
4.1.2. La simulation.....	10
<b>4.1.3.</b> La vérification formelle.....	11
5. Conclusion.....	11
<b>2. La synthèse de haut niveau</b>	<b>12</b>
1. Introduction.....	12
2. Domaines d'application.....	13
2.1. Applications orientées flot de données.....	13
2.2. Applications orientées flot de contrôle.....	14
2.3. Applications mixtes.....	14
3. Etapes de <i>HLS</i> .....	15
3.1. Compilation et génération de la forme intermédiaire.....	15
3.2. Ordonnancement.....	16
3.3. Allocation.....	16
3.4. Affectation des ressources.....	16
3.5. Allocation des connexions.....	16
3.6. Génération de l'architecture.....	16
4. Modèles pour <i>HLS</i> .....	18
4.1. Représentation intermédiaire de la description comportementale.....	18
Graphe de flot de données.....	18
Graphe de flot de contrôle.....	19
Graphe de flot de données et de contrôle.....	20
5. Outils de la <i>HLS</i> .....	21
5.1. Amical.....	21
Architecture produite par Amical.....	22
5.2. Cathedral2/3.....	22
Architecture produite par Cathedral2/3.....	23
5.3. Behavioral Compiler.....	23
Architecture produite par Behavioral Compiler.....	24
6. Conclusion.....	24
<b>3. Langages de description de matériels : VHDL</b>	<b>25</b>
1. Introduction.....	25
2. Langages applicatifs.....	25
3. Langages procéduraux.....	26
Langage <i>VHDL</i> .....	26
Particularités du langage <i>VHDL</i> .....	27

Modèle <i>VHDL</i> .....	27
Concurrence et modélisation du temps.....	28
Processus.....	28
Synchronisation de processus.....	28
Instructions conditionnelles.....	29
Instructions itératives.....	30
Procédures et fonctions.....	30
Signaux et variables.....	32
Types de données.....	32
Type composé.....	33
Type scalaire.....	33
Type accès et fichier.....	33
Opérateurs.....	33
Avenir du langage <i>VHDL</i> .....	34
4. Conclusion.....	34
<b>4. Ordonnement</b> .....	<b>36</b>
1. Introduction.....	36
2. Ordonnement pour les circuits de données.....	37
Ordonnement sans contraintes.....	37
Ordonnement <i>ASAP</i> .....	37
Ordonnement <i>ALAP</i> .....	39
Ordonnement sous contraintes de ressources.....	40
Ordonnement par liste.....	40
Ordonnement sous contrainte du temps.....	41
Ordonnement sous contrainte de temps et de ressources.....	42
Ordonnement <i>ILP</i> .....	42
3. Ordonnement pour les circuits de contrôle.....	43
Ordonnement <i>AFAP</i> .....	43
Transformation du <i>CFG</i> .....	44
Ordonnement de chaque chemin séparément.....	46
Ordonnement global.....	47
Génération de la <i>MEF</i> .....	48
Avantages de l' <i>AFAP</i> .....	49
Problèmes de l' <i>AFAP</i> .....	49
Ordonnement <i>DLS</i> .....	49
Génération des chemins ordonnés.....	50
Génération de la <i>MEF</i> .....	52
4. Conclusion.....	52
<b>5. Allocation</b> .....	<b>53</b>
1. Introduction.....	53
2. Représentation du chemin de données.....	54
2.1. Unités fonctionnelles.....	55
2.2. Unités de stockages.....	55
2.3. Unités de communications.....	56
2.4. Types de transferts.....	58
3. Architectures du chemin de données.....	58
3.1. Architecture à base de bus.....	58
3.2. Architecture à base de multiplexeurs.....	59
3.3. Architecture mixte.....	59
3.4. Comparaison.....	59
4. Partage de ressources.....	60
4.1. Variables et registres.....	60
4.2. Unités fonctionnelles et opérations.....	60
5. Algorithmes d'allocation.....	61
5.1. Approche constructive.....	61
5.2. Approche de décomposition.....	62
5.2.1. Technique de décomposition en cliques.....	63
5.2.2. Algorithme d'arête gauche.....	66
5.3. Approche de raffinement itératif.....	68
6. Conclusion.....	70

<b>6. Conception et réalisation du système CS03</b>	<b>71</b>
1. Introduction.....	71
2. Architecture produite par CS03.....	71
Partie contrôle.....	72
chemin de données.....	72
3. environnement de programmation.....	72
4. Flot de synthèse de CS03.....	73
Description comportementale.....	74
Compilation.....	75
Analyse lexicale.....	75
Analyse syntaxique.....	76
Analyse sémantique.....	76
Génération du CFG.....	76
Gestionnaire d'erreurs.....	77
Ordonnement.....	78
Elimination des arcs de retour.....	78
Génération des chemins.....	78
Traitement de chaque chemin séparément.....	80
Génération de la MEF.....	81
Description de la partie contrôle textuelle.....	82
Allocation.....	83
Allocation des unités fonctionnelles.....	83
Allocation des registres.....	84
Micro-ordonnement.....	84
Allocation des connexions.....	84
Description du menu de commande.....	85
Fonction du menu compilation.....	86
Fonction du menu ordonement.....	86
Fonction du menu allocation.....	86
Système d'aide de CS03.....	86
Conclusion.....	87
<b>Conclusion et perspectives</b>	<b>88</b>
1. Conclusion.....	88
2. Perspectives.....	89
<b>Annexes</b>	
<b>Bibliographie</b>	