

REPUBLICQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE

THESE

présentée

à L'INSTITUT D'ELECTRONIQUE
UNIVERSITE FERHAT ABBAS

pour l'obtention du diplôme de
MAGISTER
en **ELECTRONIQUE**
option: microélectronique

par:

Ahcène LAKHLEF

THEME

**GENERATION AUTOMATIQUE DE VECTEURS
DE TEST ET SIMULATEUR LOGIQUE**

soutenue le / / 1994

devant le jury composé de

Messieurs:

A. KHELLAF	Président
H. CHEMALI	Rapporteur
D. CHICKOUCHE	Examineur
A. MERZOUKI	Examineur
L. SELMANI	Examineur

R E S U M E

L'étude de testabilité de circuits combinatoires est généralement réalisée à l'aide de générateurs ATG (Automatic Test Generators) basés sur des algorithmes qui consistent à propager la faute de son site aux sorties primaires du circuit et à déterminer le vecteur correspondant à appliquer aux entrées.

Dans ce travail nous avons conçu et réalisé un outil de test basé sur l'interaction générateur GFCOST-simulateur SEDIF. Le générateur GFCOST est basé sur l'algorithme FAN pour l'accélération de la recherche de vecteurs de test, et en interaction directe avec les fonctions de coût (d'abramovici) qui définissent les contrôlabilités et observabilités d'un point de test et qui servent de valeurs de décision pour la sélection des chemins de sensibilisation de la faute. L'évaluation des sorties pour un vecteur d'entrée donné et l'étude des réponses du circuit sous test en présence de fautes sont assurées par le simulateur SEDIF logique développé. Ce simulateur est de type "événement dirigé" à injection de fautes.

L'interaction GFCOST-SEDIF produit un dictionnaire de fautes pour le modèle de collage, et peut être utilisé à l'amélioration automatique de testabilité. En effet si le taux de couverture de fautes du circuit est faible, alors il y a possibilité de modification de la circuiterie au niveau des points non testables suivant les règles de DFT (Design for testability). Un compromis entre la taille de la circuiterie additionnelle et une couverture élevée de fautes doit être considéré. Afin de préserver la fonctionnalité originale, il y a vérification systématique à chaque intervention sur un point non testable à l'aide du simulateur-évaluateur.

Nous avons développé une nouvelle approche de la construction du dictionnaire de fautes. Celle ci permet une réduction appréciable du temps de test lors de la recherche de vecteurs de test pour toutes les fautes du circuit. L'interaction directe SEDIF-GFCOST peut être aussi utilisée pour la vérification de la fonctionnalité lors de la conception et l'estimation de certaines dégradations possibles de performances introduites par la circuiterie supplémentaire lors de l'amélioration de testabilité.

S O M M A I R E

CHAPITRE 1 INTRODUCTION.....	1
1 Motivation.....	1
2 Génération de séquence de test.....	3
3 Fautes physique, fautes abstraites et génération de test.....	3
4 Méthodes de génération de test pour les circuits programmables.....	5
CHAPITRE 2 MODELE DE FAUTES ET GENERATION DE TEST.....	7
1 Modèle de faute	7
2 Problème de test.....	11
3 Exemple de test d'un circuit	12
4 Génération de test	13
4.1 Plan de test	14
4.2 "on line testing".....	15
4.3 Test on ligne	15
5 Génération de vecteurs de test.....	17
5.1 Génération manuel.....	18
5.2 Génération pseudo-aléatoires de vecteurs.....	18
5.3 Génération algorithmique ou déterministe.....	19
5.3.1 Génération de test pour les circuits combinatoires.....	19
5.3.1.1 Génération avec orientation de la faute.....	19
A Les étapes de génération de test	19
A.1 Etape set-up ou organisation.....	19
A.2 Etape de propagation.....	20
A.3 Etape de justification.....	20
B Algorithmes de génération de test.....	23
5.3.1.2 ATG par fautes indépendantes.....	27
5.3.2 Génération de test pour les circuits séquentiels.....	29
5.3.2.1 Génération de test avec état initial connu.....	29
5.3.2.2 Génération de test par auto-initialisation.....	31
CHAPITRE 3- SIMULATION DE FAUTES.....	34
1. Introduction.....	34
2. Méthodologie de simulation	34
2.1 Les étapes de simulation	35
2.1.1 Niveau logique.....	35
2.1.2 Modèle de délai.....	35
2.2 Exemple.....	36
3 La simulation parallèle de fautes.....	37
4 La simulation déductive de fautes (DFS).....	40
5 La simulation de fautes concurrente.....	42
6 Simulateurs matériels "hardware simulator".....	45
6.1 Organisation d'une machine de simulation.....	45
6.2 Les tâches d'un simulateur " hardware ".....	46
6.3 Machine d'abramovici.....	47
6.4 YSE.....	48
6.5 Le simulateur HAL.....	49
CHAPITRE 4 DESCRIPTION ET EVALUATION DES CIRCUITS LOGIQUE.....	51
1. INTRODUCTION.....	51
2. DESCRIPTION.....	52
2.1 Les spécifications du circuit	52
2.2 Numérotation du circuit	52
2.3 Caractéristique des portes logiques.....	53
2.4 Exemple.....	54
3. Méthode d'évaluation d'une fonction logique.....	55
3.1 Introduction	55
3.2 Evaluation a l'aide de la table de vérité.....	56
3.3 Exemple.....	56
3.4 Evaluation par méthode de balayage des entrées.....	56
3.5 Technique de comptage des entrées.....	57
3.6 Logique à cinq valeurs.....	59
3.8 Evaluation de la fonction.....	60

CHAPITRE 5	GENERATEUR DE TEST GFCOST.....	62
1	Introduction.....	62
2	Generation de test pour les circuits sans "fan-out".....	62
2.1	Introduction.....	62
2.2	Procédure de justification.....	62
2.3	Procédure de propagation d'erreur.....	63
2.4	Exemple.....	64
3	Génération pour les circuits Avec "fan-out".	65
3.1	Procédure de sensibilisation arrière " backtrace".....	66
3.2	Exemple.....	66
3.3	Critère de décision.....	67
4	Fonction de coût.....	68
4.1	introduction.....	68
4.2	Méthodes de calcul de contrôlabilité.....	69
4.3	Méthodes de calcul d'observabilité.....	70
4.4	Procédure de calcul de la fonction de coût.....	71
4.5	Exemple.....	72
5	Générateur GFCOST.....	72
5.1	Introduction.....	72
5.2	GFCOST.....	72
5.2.1	Activation de la faute.....	73
5.2.2	Implication et contrôle de conflit.....	73
5.2.3	Exemple.....	75
5.2.4	Traitement d'objectifs courants.....	75
5.2.5	Justification.....	75
5.2.6	Propagation d'erreur.....	75
6	Exemple.....	76
CHAPITRE 6	SIMULATION LOGIQUE DE CIRCUITS DIGITAUX.....	79
1.	Introduction.....	79
2.	Méthode de simulation logique.....	81
2.1	Niveaux de simulation.....	84
2.2	Application du simulateur logique.....	85
3	Simulateur SEDIF.....	85
3.1	Stratégie du simulateur.....	85
3.2	Présentation du simulateur.....	85
3.2.1	L'algorithme de simulation.....	85
3.2.2	Traitement des noeuds fanouts.....	88
3.2.3	Traitement des élément activés.....	89
3.2.4	Gestion des temps.....	90
CHAPITRE 7	APPLICATION DU SIMULATEUR SEDIF ET DU GENERATEUR GFCOST.....	92
1.	Introduction.....	92
2.	Interaction Générateur GFCOST et Simulateur SEDIF.....	93
2.1.	Exemple 1.....	93
2.2.	Exemple 2.....	99
2.3.	Effet de partition.....	101
2.4.	Fréquence maximum d'utilisation.....	102
2.5.	Analyse des performances.....	102
2.6.	Opération en mode DFT.....	103
CONCLUSION	104
BIBLIOGRAPHIE.....	105