



LABORATOIRE D'INFORMATIQUE DE PARIS 6

# Architecture des Systèmes Intégrés et Micro-Électronique

**Analyse sémantique de descriptions  
VHDL synchrones en vue de la  
synthèse**

*L. Jacomme*

THÈSE de DOCTORAT de l'UNIVERSITÉ PARIS 6  
LIP6 1999 / 026 octobre 1999

# Résumé

**L**e langage de description de matériel VHDL a été initialement défini pour être utilisé dans le cadre de la simulation. Il s'est imposé depuis plus de dix ans comme un standard incontournable pour la spécification comportementale des circuits numériques.

Il a cependant rapidement été détourné de sa destination première pour être utilisé comme langage d'entrée de la synthèse au niveau transfert entre registres. La synthèse à partir d'une description VHDL est un véritable problème car ce langage possède une très forte sémantique de simulation.

Aussi, afin d'éviter de prendre en compte cette sémantique complexe lors de la phase d'analyse de la compilation, tous les outils de synthèse imposent l'utilisation de motifs syntaxiques particuliers pour identifier facilement les éléments matériels qui sont modélisés dans une description VHDL.

Outre le fait que ces motifs limitent fortement le style de description et restreignent la puissance de VHDL, ils remettent gravement en cause la portabilité du langage car ils diffèrent d'un outil de synthèse à l'autre.

Dans cette thèse nous proposons une méthode d'analyse diamétralement opposée. Elle s'appuie exclusivement sur la sémantique de simulation du langage pour identifier avec précision tous les éléments matériels nécessaire à l'implantation d'une description VHDL.

Un prototype logiciel s'appuyant sur cette méthode d'analyse sémantique a été implanté. Il nous a permis de montrer sur une centaines d'exemples l'efficacité de notre méthode autant d'un point de vue qualitatif que quantitatif.

## Mots clés

Langage de description de matériel, VHDL, compilation, analyse sémantique, synthèse

# Table des matières

<b>1</b>	<b>Introduction</b>	<b>1</b>
1.1	Plan du mémoire . . . . .	3
<b>2</b>	<b>Problématique</b>	<b>5</b>
2.1	La synthèse . . . . .	6
2.1.1	Les différents niveaux de synthèse . . . . .	6
2.1.2	Les trois principales étapes de la synthèse <i>RTL</i> . . . . .	9
2.2	Les particularités du langage VHDL . . . . .	14
2.2.1	Un langage fortement typé . . . . .	14
2.2.2	Un langage de simulation . . . . .	15
2.3	Le VHDL comme langage d'entrée de la synthèse <i>RTL</i> . . . . .	17
2.3.1	Les contraintes incontournables de la synthèse . . . . .	18
2.3.2	La synthèse des processus VHDL . . . . .	19
2.4	La restriction du langage VHDL pour la synthèse . . . . .	24
2.4.1	Les restrictions légitimes . . . . .	25
2.4.2	Les restrictions en vue d'une reconnaissance syntaxique . . . . .	25
2.5	Conclusion . . . . .	26
<b>3</b>	<b>État de l'art</b>	<b>29</b>
3.1	Les méthodes d'analyse syntaxique . . . . .	30
3.1.1	La rigidité des restrictions syntaxiques . . . . .	30
3.1.2	La disparité des sous-ensembles VHDL définis pour la synthèse . . . . .	31
3.1.3	L'identification des registres . . . . .	31
3.1.4	La détection des descriptions non synthétisables . . . . .	32
3.1.5	La migration des descriptions VHDL synthétisables . . . . .	32
3.2	Les méthodes d'analyse sémantique . . . . .	33

3.2.1	Les modèles formels de VHDL . . . . .	33
3.2.2	L'analyse sémantique en vue de la synthèse <i>RTL</i> . . . . .	34
3.3	Conclusion . . . . .	35
<b>4</b>	<b>Un modèle formel pour représenter le graphe de contrôle d'un processus</b>	<b>37</b>
4.1	Un modèle formel pour la synthèse . . . . .	38
4.1.1	La sémantique de simulation du langage . . . . .	38
4.1.2	La transformation des types . . . . .	39
4.1.3	La transposition des opérateurs et des fonctions standards . . . . .	41
4.1.4	La macro-expansion des fonctions utilisateur . . . . .	42
4.1.5	La structure de la description initiale . . . . .	46
4.2	Présentation du modèle formel <i>XVPN</i> . . . . .	46
4.2.1	Un modèle adapté aux techniques de preuve formelle . . . . .	47
4.2.2	Un modèle adapté à la synthèse . . . . .	48
4.3	La compilation d'une description VHDL vers <i>XVPN</i> . . . . .	52
4.3.1	La traduction des types et la représentation des symboles . . . . .	52
4.3.2	La compilation des processus VHDL . . . . .	53
4.4	La phase d'initialisation de notre modèle . . . . .	60
4.4.1	L'influence de la phase d'initialisation sur la synthèse . . . . .	60
4.4.2	Les mécanismes de l'initialisation de notre modèle . . . . .	66
4.5	Conclusion . . . . .	68
<b>5</b>	<b>Une méthode de réduction du graphe de contrôle des processus possédant un seul point de suspension</b>	<b>71</b>
5.1	Présentation des différents problèmes à résoudre . . . . .	72
5.1.1	L'exploration du graphe de contrôle d'un processus . . . . .	73
5.1.2	L'identification du type d'élément matériel . . . . .	77
5.2	La réduction du graphe de contrôle . . . . .	78
5.2.1	Le traitement des signaux . . . . .	78
5.2.2	L'introduction de nouvelles variables . . . . .	79
5.2.3	La réduction locale latérale . . . . .	81
5.2.4	La réduction locale séquentielle . . . . .	86
5.2.5	La stratégie de réduction du graphe de contrôle . . . . .	91
5.2.6	La réduction globale du graphe de contrôle . . . . .	93

## Table des matières

---

5.3	Les propriétés du graphe de contrôle réduit . . . . .	99
5.3.1	Les propriétés structurelles . . . . .	100
5.3.2	Les propriétés de l'unique liste d'affectations . . . . .	100
5.4	Conclusion . . . . .	101
<b>6</b>	<b>Une méthode d'analyse du graphe de contrôle réduit des processus possédant un seul point de suspension</b>	<b>103</b>
6.1	L'analyse préliminaire des affectations . . . . .	104
6.1.1	La substitution des constantes . . . . .	104
6.1.2	Le graphe de dépendance des affectations . . . . .	105
6.1.3	Les symboles utiles à la synthèse . . . . .	110
6.1.4	Les variables lues avant d'être affectées . . . . .	111
6.1.5	Les variables considérées comme des points d'arrêts . . . . .	112
6.1.6	Les contraintes liées à la lecture d'une variable de $V_{reg}^{ini}$ . . . . .	113
6.1.7	L'analyse du support des expressions . . . . .	114
6.2	L'identification formelle des propriétés des registres . . . . .	115
6.2.1	L'identification de la condition de mémorisation . . . . .	115
6.2.2	L'identification des propriétés d'un registre . . . . .	119
6.3	L'analyse formelle des barrières trois états . . . . .	125
6.3.1	L'identification de la condition de mise en haute impédance . . . . .	126
6.3.2	L'identification des propriétés de la barrière trois états . . . . .	129
6.4	La cohérence avec la liste de sensibilité . . . . .	130
6.4.1	Les symboles de type combinatoire . . . . .	130
6.4.2	Les symboles de type élément mémorisant . . . . .	130
6.4.3	Les symboles de type barrière trois états . . . . .	131
6.5	Conclusion . . . . .	131
<b>7</b>	<b>Une méthode d'analyse du graphe de contrôle des processus à plusieurs points de suspension</b>	<b>133</b>
7.1	Présentation des différents problèmes à résoudre . . . . .	134
7.1.1	L'exploration du graphe de contrôle d'un processus à plusieurs points de suspension . . . . .	136
7.1.2	La construction d'un automate d'états finis . . . . .	138
7.2	La réduction de notre modèle en vue de la synthèse . . . . .	139
7.2.1	Le traitement initial des signaux et des variables . . . . .	140

7.2.2	L'application de la réduction locale . . . . .	141
7.2.3	La réduction globale du graphe de contrôle . . . . .	141
7.3	L'analyse après réduction . . . . .	146
7.3.1	L'analyse préliminaire du graphe de contrôle réduit . . . . .	146
7.3.2	La construction d'un automate d'états finis synchrone équivalent	148
7.3.3	Un exemple complet . . . . .	152
7.4	Conclusion . . . . .	154
<b>8</b>	<b>Mise en œuvre logicielle</b>	<b>157</b>
8.1	L'architecture logicielle de l'analyseur VASY . . . . .	158
8.1.1	La compilation d'une description VHDL . . . . .	159
8.1.2	L'initialisation de la description . . . . .	161
8.1.3	La réduction du modèle XVPN . . . . .	161
8.1.4	L'analyse sémantique du modèle XVPN . . . . .	162
8.1.5	La sauvegarde des résultats de l'analyse sémantique . . . . .	163
8.2	L'environnement de mise au point de l'analyseur VASY . . . . .	164
8.2.1	Les deux modules d'échange . . . . .	164
8.2.2	L'outil de visualisation graphique <i>XvpnView</i> . . . . .	165
8.2.3	Le simulateur <i>XvpnSim</i> . . . . .	166
8.3	L'utilisation du module de compilation de VASY . . . . .	167
8.3.1	La synthèse de haut niveau . . . . .	168
8.3.2	La traduction d'une description VHDL en langage C . . . . .	169
8.4	Conclusion . . . . .	170
<b>9</b>	<b>Résultats et performances</b>	<b>171</b>
9.1	Le contexte de l'expérimentation . . . . .	172
9.2	Les processus à un seul point de suspension . . . . .	173
9.2.1	La mesure de la qualité de l'analyse sémantique . . . . .	173
9.2.2	La mesure du temps d'exécution de l'analyse sémantique . . . . .	180
9.3	Les processus à plusieurs points de suspension . . . . .	182
9.3.1	La mesure de la qualité de l'analyse sémantique . . . . .	182
9.3.2	La mesure du temps d'exécution de l'analyse sémantique . . . . .	184
9.4	Conclusion . . . . .	185

## Table des matières

---

<b>10 Conclusions et perspectives</b>	<b>187</b>
10.1 Le bilan des travaux effectués . . . . .	188
10.2 Les perspectives de recherches . . . . .	190
<b>Bibliographie</b>	<b>191</b>
<b>Annexes</b>	<b>197</b>
<b>A Un sous ensemble de VHDL adapté à la synthèse</b>	<b>197</b>
A.1 Les types, les fonctions et les attributs prédéfinis . . . . .	197
A.2 Les instructions VHDL exploitables en synthèse . . . . .	198
A.2.1 Les instructions concurrentes . . . . .	198
A.2.2 Les instructions séquentielles . . . . .	199
A.3 La grammaire de notre sous ensemble VHDL . . . . .	199
<b>B Les graphes de décision binaire réduits et ordonnés</b>	<b>211</b>
B.1 L'arbre de Shannon . . . . .	211
B.2 Le graphe de décision binaire . . . . .	212
B.3 La quantification existentielle et universelle . . . . .	213
B.4 Le cofacteur généralisé . . . . .	214
<b>C L'application de la réduction locale sur le graphe de contrôle d'un processus</b>	<b>217</b>
C.1 Les instructions d'affectation . . . . .	217
C.2 Les instructions conditionnelles . . . . .	218
C.3 Les instructions de boucle . . . . .	219
C.4 Les instructions de suspension . . . . .	221
<b>D Les structures de données</b>	<b>223</b>
D.1 Les expressions VHDL . . . . .	223
D.2 La représentation syntaxique d'une description VHDL . . . . .	223
D.3 Le modèle <i>XVPN</i> . . . . .	230
D.4 La représentation d'une description de niveau <i>RTL</i> . . . . .	233
<b>E Le code source des processus à un seul point de suspension</b>	<b>237</b>
E.1 Les descriptions synthétisables . . . . .	237
E.1.1 Les descriptions d'une bascule D . . . . .	237

## Table des matières

---

E.1.2	Les descriptions d'un latch . . . . .	243
E.1.3	Les descriptions d'un multiplexeur . . . . .	245
E.1.4	Les descriptions d'une barrière trois états . . . . .	246
E.2	Les descriptions non-synthétisables . . . . .	246
<b>F</b>	<b>Le code source des processus à plusieurs points de suspension</b>	<b>249</b>
F.1	Les descriptions synthétisables . . . . .	249
F.2	Les descriptions algorithmiques . . . . .	251