

THÈSE de DOCTORAT de l'UNIVERSITÉ PARIS VI

Spécialité : INFORMATIQUE

Présentée par :

Nathalie DICTUS

Pour obtenir le grade de :

DOCTEUR DE L'UNIVERSITÉ PARIS VI

Sujet de la thèse :

*Synthèse logique des circuits VLSI :
Utilisation d'un compilateur de cellules complexes
et optimisation des performances temporelles*

soutenue le : Jeudi 27 Juin 1996

devant le jury composé de :

M ^{me} A-Marie	TRULLEMANS	Rapporteur
M ^r J-Claude	DUFOURD	Rapporteur
M ^r Alain	GREINER	Directeur de thèse
M ^r Régis	LEVEUGLE	Examineur
M ^r J-Olivier	PIEDNOIR	Examineur
M ^r Michel	ROBERT	Président du jury

Résumé

Cette thèse se situe dans le cadre de la synthèse logique des circuits intégrés VLSI. Elle propose d'une part une méthode de projection structurelle sur cellules complexes qui transforme une description comportementale en une interconnexion de cellules générées selon les besoins par un compilateur de cellules. Elle présente d'autre part une méthode d'optimisation des performances temporelles des réseaux de cellules. Les techniques classiques de projection structurelle utilisent une bibliothèque de cellules précaractérisées. De manière à s'affranchir du développement de telles bibliothèques et afin de pouvoir utiliser un nombre important de cellules, la technique proposée consiste à découper le réseau Booléen en un ensemble optimal de cellules faisables par le compilateur tout en respectant une contrainte d'empilement des transistors et un mode d'optimisation imposés par l'utilisateur. La technique d'optimisation des réseaux de cellules s'appuie sur une analyse temporelle précise et a l'originalité d'allier des méthodes d'insertion de portes de puissance et d'insertion d'amplificateurs en deux phases distinctes ce qui permet de minimiser la surface active ajoutée et d'obtenir de très bonnes performances temporelles. Des prototypes logiciels ont été développés pour valider les approches présentées et les résultats expérimentaux obtenus montrent que ces approches sont compétitives par rapport aux méthodes classiques.

Mots-clés

synthèse logique, projection structurelle, compilateur de cellules complexes, analyse temporelle, optimisation des performances, insertion d'amplificateurs

Abstract

This thesis deals with the logic synthesis of VLSI circuits. On the one hand, a technology mapping method is proposed to convert a logic level behavioural description into a gate level network instantiating dynamically generated complex cells. On the other hand, a delay minimization method is also presented to reduce the propagation times within such gate level networks. Our technology mapping method consists in decomposing the Boolean network into a set of cells feasible by a CMOS complex cell compiler whereas the traditional approach uses predefined standard cells. The Boolean network decomposition used is driven by user-given constraints, in particular the optimization mode (area/delay tradeoff) and the maximal number of transistors in series allowed in the generated CMOS cells. The delay minimization method is based on accurate timing analysis and inserts buffers or changes the template of the gates into the gate level network. This minimizes the additional active area while obtaining very good timing performances. These methods have been validated by software prototypes and experimental results show their effectiveness in comparison with traditional approach.

Keywords

logic synthesis, technology mapping, complex cells, timing analysis, delay optimization, fanout optimization, buffer insertion



Table des matières

Table des matières

I. Introduction	14
II. Problématique	18
A. Projection structurelle	18
1. Outils de projection structurelle	18
2. Utilisation de cellules complexes	19
3. Limitations de la projection structurelle sur une bibliothèque cible	20
4. Conclusion	21
B. Optimisation des performances temporelles d'un réseau de portes	21
1. Nécessité d'outils d'optimisation des performances temporelles	21
2. Limitations des techniques d'optimisation des performances temporelles	22
3. Conclusion	23
C. Contexte du travail	24
D. Conclusion	27
III. Notations & Définitions	30
A. Fonction Booléenne	30
algèbre de Boole; opérateur dual; variable Booléenne; littéral; fonction Booléenne; support; minterme; n-cube; polarité	
B. Expression Booléenne	31
expression Booléenne; arbre d'opérateurs; niveau; support; arité; polarité positive; polarité négative; expression à occurrence simple	
C. Réseau Booléen	33
réseau Booléen; nœud; arc; prédécesseur; successeur; signal; entrée primaire; sortie primaire; variable intermédiaire; décomposition; mise à plat; nombre de littéraux; nombre de littéraux réduits; grain; cône Booléen	
D. Réseau de cellules	35
bibliothèque; signal; successeur; prédécesseur; chemin; profondeur	
E. Modèle temporel d'une cellule	36
délai intrinsèque; résistance équivalente; capacité	
F. Conclusion	37

IV. Etat de l'art de la projection structurelle sur cellules complexes . .	40
A. Projection structurelle sur des cellules complexes	40
1. Définitions préalables	40
nombre de transistors N en série; contrainte d'empilement; bibliothèque complète; taille	
2. Projection structurelle proposée par Berkelaar et Jess	40
3. Projection structurelle proposée par Liem et Lefebvre	42
4. Projection structurelle proposée par Abouzeid et Saucier	44
B. Génération de cellules complexes CMOS	46
1. La technologie CMOS dual et son implantation	46
réseau de transistors N et P	
2. De l'expression Booléenne au graphe de transistors	48
3. Du graphe de transistors à la vue physique	49
4. Exemple de génération d'une cellule complexe avec C4	50
5. Nomenclature des cellules	51
6. Caractérisation des cellules	52
7. TROPIC : un autre générateur possible	52
C. Conclusion	53
V. Projection structurelle sur cellules complexes	56
A. Présentation générale de la méthode	56
1. Outil de projection structurelle	56
2. Algorithme de projection structurelle	57
3. Déroulement de chaque phase	58
4. Conclusion	59
B. Algorithme de projection structurelle	60
1. Caractérisation du réseau Booléen	60
<u>a. Différents modèles de caractérisation</u>	60
<u>b. Caractérisation pondérée</u>	61
<u>c. Conclusion</u>	62
2. Normalisation du réseau	62
<u>a. Elimination des constantes 0 et 1</u>	62
<u>b. Elimination des opérateurs OU EXCLUSIF</u>	63
<u>c. Report des inverseurs sur les entrées</u>	64
<u>d. Conclusion</u>	64
3. Restructuration du réseau Booléen	65
<u>a. Suppression des variables intermédiaires</u>	65
<u>b. Conclusion</u>	66

4. Décomposition Booléenne	66
<u>a. Décomposition Booléenne balancée</u>	67
<u>b. Décomposition Booléenne non-balancée</u>	70
<u>c. Conclusion</u>	72
5. Projection structurelle	72
<u>a. Contrainte d'empilement</u>	72
<u>b. Choix de la polarité de l'expression</u>	73
<u>c. Décomposition en cellules faisables : système à crédit</u>	74
<u>d. Conclusion</u>	79
6. Assignation de phase	80
<u>a. Absorption des inverseurs</u>	80
<u>b. Changement de phase</u>	80
C. Conclusion	81
VI. Etat de l'art de l'optimisation des réseaux de portes	84
A. Analyse temporelle	84
1. Calcul du délai	85
2. Calcul du retard	85
3. Calcul du temps requis	85
4. Calcul de la marge	86
B. Insertion de portes de puissance	86
C. Insertion d'arbres d'amplificateurs	89
1. Insertion d'arbres d'amplificateurs par K.J. Singh et A. Sangiovanni-Vicentelli	89
2. Insertion d'arbres <i>LT</i> par H. Touati, C. Moon et R. Brayton	91
3. Insertion d'amplificateurs par S. Lin et M. Marek-Sadowska	92
D. Conclusion	95
VII. Optimisation du réseau de portes	98
A. Présentation générale de la méthode	98
1. Outil d'optimisation du réseau de portes	98
2. Algorithme d'optimisation du réseau de portes	99
3. Conclusion	100
B. Analyse temporelle du circuit	100
1. Calcul des délais	100
2. Calcul des retards	101
3. Calcul des temps requis	101
4. Calcul des marges	101
5. Conclusion	101

C. Adaptation de la puissance des modèles	102
1. Ordre d'optimisation	102
2. Choix de la puissance	103
3. Algorithme d'adaptation de puissance des modèles	103
4. Résultats	104
5. Conclusion	105
D. Insertion d'amplificateurs	106
1. Coût et méthode d'insertion	106
2. Ordre d'optimisation	107
3. Découpage de l'arbre des successeurs	107
4. Algorithme d'insertion d'amplificateurs	109
5. Résultats	109
6. Conclusion	110
E. Limitation de la charge	111
1. Algorithme	111
2. Résultats	111
3. Conclusion	112
F. Conclusion	112
VIII. Résultats de l'expérimentation	114
A. Présentation des objectifs de l'expérimentation	114
B. Présentation de l'expérimentation	115
1. Présentation des circuits de test	115
2. Présentation des méthodes utilisées	116
3. Présentation de la bibliothèque SCLIB	118
C. Comparaison des méthodes de projection structurelle sans optimisation temporelle	119
1. Résultats après projection structurelle	119
2. Résultats après placement-routage	123
3. Variation de la contrainte d'empilement	128
4. Conclusion	128
D. Comparaison des méthodes de projection structurelle après optimisation temporelle	129
1. Résultats	129
2. Conclusion	130
E. Evaluation des performances intrinsèques de la méthode d'optimisation des performances temporelles	133
1. Résultats	133
2. Conclusion	133
F. Conclusion	136

IX. Conclusion	138
Bibliographie	142
Annexe	148