

République Algérienne Démocratique et Populaire
Ministère de l'enseignement Supérieur et de la Recherche Scientifique

Ecole Nationale Polytechnique
DER de Génie Electrique et Informatique

Département Electronique

THESE

Présentée par

Mlle Nouma IZBOUDJEN
Ingénieur d'état en électronique, USTHB

Pour l'obtention du

Grade de MAGISTER EN ELECTRONIQUE
Option : Télécommunications

Thème

**CONCEPTION ET IMPLEMENTATION EN FPGA D'UN
CLASSIFICATEUR NEURONAL DES ARYTHMIES
CARDIAQUES**

Soutenue-le : 06 /09 /1999 devant le jury composé de :

Mr D.BERKANI
Mr A.FARAH
Mr A. BELOUCHRANI
Mr M.MEHENNI
Mr A. CHOHRRA

Professeur (E.N.P)
Professeur (E.N.P)
Docteur d'état (E.N.P)
Maître de conférences (E.N.P)
Docteur d'état (C.D.T.A)

Président
Rapporteur
Examineur
Examineur
Examineur

ملخص

المهدف الأساسي من هذا البحث يتمثل في تصميم وإدماج دائرة مصغرة داخل حقل شبكة منطقية مبرمجة تسمى (FPGA) موجهة لترتيب الإضطرابات القلبية و هذا باستعمال مقارنة الشبكات العصبية .

لكي تتمكن من ترتيب أكبر عدد من حالات الإضطرابات القلبية نقترح مرتب يتكون من مرتبين فرعيين متسلسلين: مرتب فرعي مرفولوجي و مرتب فرعي زمني. لتحقيق وظيفة الترتيب، نستعمل خوارزمية الانتشار الرجعي للخطأ « retropropagation du gradient » (RPG)

ينقسم هذا العمل إلى جزئين: جزء برمجي و جزء عتادي. الجزء البرمجي وظيفته الأساسية تتمثل في تمرين المرتب. لهذا الغرض تم تطوير برنامج مكتوب بلغة البرمجة المسماة لغة C.

في الجزء العتادي، نعتبر إدماج مرحلة التعميم للخوارزمية (RPG). نقترح هندسة متوازية و منتظمة لإدماج الشبكة العصبية. لغرض إنجاز هذه الهندسة، اخترنا استعمال منهجية تنازلية تركز على التركيب المنطقي باستعمال لغة الوصف VHDL.

نقترح وصف VHDL مرن ومتغير للشبكة العصبية بحيث يسهل تكيفه لتطبيقات أخرى. الوصف VHDL للمرتب تم إدماجه في دائرة FPGA لعائلة XC4000-XILINX.

Abstract

The main objective of this work is the design and implementation of a FPGA integrated circuit for classification of the cardiac arrhythmia's, through the use of the neural network approach.

In order to deal with a wide variety of arrhythmia's, we propose a classifier, which is composed of two cascaded sub classifiers: a morphological sub classifier and a temporal one. To carry out the classification task, we use the back propagation algorithm (RPG). The work is divided in two parts: a software part and a hardware part. The essential task of the software part is to carry out the training of the classifier. For that, a program has been developed using the C language. In the hardware part, we consider implementation of the generalization phase of the RPG algorithm. We propose a parallel and regular architecture for the neural network implementation. In order to validate this architecture, we have opted for a top down approach based on logic synthesis and using the VHDL language. We propose a flexible and parametric VHDL description of the neural network, which can be easily adapted to other applications. The VHDL description of the classifier is mapped into the FPGA XILINX XC4000 family circuit.

Résumé

L'objectif essentiel de ce travail est la conception et l'implémentation en FPGA (Field Programmable Gate Array) d'un circuit intégré dédié à la classification des arythmies cardiaques par l'approche des réseaux de neurones. Afin de pouvoir classer un grand nombre d'arythmies, nous proposons un classificateur composé de deux sous classificateurs montés en cascade : un sous classificateur de morphologie et un sous classificateur temporel. Pour réaliser la classification, nous utilisons l'apprentissage par l'algorithme de la rétropropagation du gradient (RPG). Le travail est divisé en deux parties : une partie software et une partie hardware. La partie software a pour tâche essentielle de réaliser l'apprentissage du classificateur. Pour cela un programme a été développé en utilisant le langage C. Dans la partie hardware nous considérons l'implémentation de la phase de généralisation de l'algorithme RPG. Nous proposons une architecture parallèle et régulière pour l'implémentation du réseau de neurone. Afin de valider cette architecture nous avons opté pour une approche descendante basée sur la synthèse logique et l'utilisation du langage de description VHDL. Nous proposons une description VHDL flexible et paramétrée du réseau de neurone qui peut être facilement adaptée à d'autres applications. La description VHDL du classificateur est implémentée sur un circuit FPGA de la famille XC4000 de XILINX.

Mot clés : Classification, arythmies cardiaques, réseaux de neurones, implémentation FPGA

TABLE DES MATIERES

INTRODUCTION	1
CHAPITRE I	
RESEAUX DE NEURONES DIGITAUX	4
I.1 Introduction.....	5
I.2 Réseaux de neurones.....	6
I.2.1 Définitions.....	6
I.2.1.1 Model biologique du neurone.....	6
I.2.1.2 Model mathématique des neurones.....	7
I.2.2 Construction des réseaux de neurones.....	8
I.2.2.1 Architecture des réseaux de neurones.....	8
I.2.2.2 Apprentissage des réseaux de neurones.....	8
I.2.3 Le perceptron multicouche (MLP).....	11
I.2.4 Propriété des réseaux de neurones.....	15
I.3 Implémentation des réseaux de neurones.....	15
I.3.1 Implémentation software.....	17
I.3.2 Implémentation hardware.....	17
I.3.2.1 Les neuro-calculateurs à application spécifique.....	17
I.3.2.2 Implémentation VLSI ou neuro-calculateurs à application spécifique.....	18
I.4 Application des réseaux de neurones.....	18
I.5 Conclusion.....	19
CHAPITRE II	
CLASSIFICATION AUTOMATIQUE DES ARRYTHMIES CARDIAQUES	20
II.1 Introduction.....	21
II.2 Principes généraux de la classification.....	21
II.2.1 Classificateur traditionnel.....	22
II.2.2 Classificateur neuronal.....	23
II.3 Classification de l'ECG et des arythmies cardiaques.....	24
II.3.1 Définition du signal cardiaque.....	24
II.3.2 Les arythmies cardiaques.....	25
II.3.3 Synthèse des méthodes de classification automatique de l'ECG.....	29
II.3.3.1 Méthode des arbres.....	29
II.3.3.2 Approche statistique.....	30
II.3.3.3 Approche syntaxique.....	31
II.3.3.4 Les systèmes experts et la logique floue.....	31
II.3.3.5 Les réseaux de neurones.....	31
II.3.3.5.1 Classification neuronal supervisé.....	32
II.3.3.5.2 Classification neuronal non supervisé.....	33

II.4 Conclusion.....	34
CHAPITRE III	
CONCEPTION D'UN CLASSIFICATEUR NEURONAL DES ARRHYTHMIES CARDIAQUES.....	35
III.1 Proposition d'un classificateur neuronal.....	36
III.2 Structure du CNAC.....	36
III.2.1 Classificateur de morphologie.....	37
III.2.2 Classificateur temporel.....	37
III.3 Implémentation Software du CNAC.....	38
III.3.1 Définition des performances d'un classificateur.....	38
III.3.2 Construction de la base de données ECG.....	39
III.3.3 Programmation.....	39
III.3.4 Apprentissage, simulation et test.....	41
III.3.4.1 Classificateur de morphologie RN1_P.....	41
III.3.4.1.1 Apprentissage.....	41
III.3.4.1.2 Dimensionnement du réseau.....	42
III.3.4.1.3 Etude de l'influence du coefficient d'apprentissage et du momentum sur la convergence du réseau RN1_P.....	44
III.3.4.1.4 Etude de l'influence du coefficient d'apprentissage et du momentum sur les performances du classificateur RN1_P.....	45
III.3.4.2 Classificateur de morphologie RN1_QRS.....	46
III.3.4.2.1 Apprentissage.....	46
III.3.4.2.2 Dimensionnement du réseau.....	47
III.3.4.2.3 Etude de l'influence du coefficient d'apprentissage et du momentum sur la convergence du réseau RN1_QRS.....	49
III.3.4.2.4 Etude de l'influence du coefficient d'apprentissage et du momentum sur les performances du classificateur RN1_QRS.....	50
III.3.4.3 Classificateur temporel RN2.....	51
III.3.4.3.1 Apprentissage.....	51
III.3.4.3.2 Dimensionnement du réseau.....	52
III.3.4.3.3 Etude de l'influence du coefficient d'apprentissage et du momentum sur la convergence du réseau RN2.....	52
III.3.4.3.4 Etude de l'influence du coefficient d'apprentissage et du momentum sur les performances du classificateur RN2.....	54
III.4 Discussion et conclusion.....	55
CHAPITRE IV	
IMPLEMENTATION DIGITAL DU CNAC.....	57
IV.1 Introduction.....	57
IV.2 La technologie FPGA.....	58
IV.2.1 Qu'est ce qu'un FPGA ?.....	59
IV.2.1.1 Structure d'un bloc logique.....	59

IV.2.1.2 Les ressources d'interconnexions.....	61
IV.3 La synthèse.....	61
IV.3.1 Définition de la synthèse.....	61
IV.3.2 Les outils de synthèse.....	61
IV.4 Le langage VHDL.....	63
IV.4.1 Présentation du VHDL.....	63
IV.4.2 Synthèse avec le VHDL.....	63
IV.4.3 La simulation en VHDL.....	63
IV.5 Implémentation hardware du CNAC.....	64
IV.5.1 Approche de conception.....	64
IV.5.2 Architecture du réseau de neurone.....	64
IV.5.2.1 Architecture du neurone.....	64
IV.5.2.2 Architecture du réseau de neurone.....	66
IV.5.3 Mapping de l'architecture en VHDL.....	67
IV.5.3.1 Flexibilité du neurone.....	68
IV.5.3.2 Flexibilité de la couche.....	69
IV.5.3.3 Flexibilité du réseau de neurones.....	69
IV.5.4 Mapping du VHDL dans le FPGA.....	72
IV.5.5 Résultats.....	72
IV.6 Conclusion.....	76
CONCLUSION GENERALE.....	77
BIBLIOGRAPHIE.....	80
ANNEXES.....	85
ANNEXE 1.....	86
ANNEXE 2.....	92
ANNEXE 3.....	95