

الجمهورية الجزائرية الديمقراطية الشعبية

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE

UNIVERSITE DE ANNABA
INSTITUT D'INFORMATIQUE

THESE

Pour obtenir le diplôme de
MAGISTER
En
Informatique

THEME

**CONCEPTION ET REALISATION D'UN
PROCESSEUR BASE SUR LA MACHINE DE NOLIN**

Presentée par
DERRADJI LARBI

Devant la commission du jury

Président : M. DJEGHABA

Premier Rapporteur : E. BIANCO

Deuxième Rapporteur : M.T LASKRI

Examineur : A. BENKRIDE

Examineur : O. DJEBI

M.C Institut d'électronique
Université de Annaba

Pf. L.T.A.M
Université d'Aix Marseille II

C.C Institut d'Informatique
Université de Annaba

PhD I.N.I ALGER

C.C Institut d'Informatique
Université de Setif

NOVEMBRE 1994

SOMMAIRE

INTRODUCTION GENERALE

1 Introduction historique : Les précurseurs.....	1
2 Domaine et problématique de la recherche.....	1
3 Plan de la thèse.....	2

PREMIERE PARTIE Introduction à l'Informatique fondamentale

CHAPITRE I Notion d'Algorithme

1. Introduction.....	4
2. Notion d'algorithme.....	4
2.1 Définition.....	4
2.2 Caractéristiques de la notion d'algorithme.....	4
2.3 Problématique de la notion d'algorithme.....	5

CHAPITRE II Machine de Turing

1. Définition.....	6
2. Machine de Turing arithmétique.....	8
3. Quelques propriétés de la machine de Turing.....	9

CHAPITRE III Machine de NOLIN ou machine à case adressable.

1. Introduction.....	10
2. Mémoire à accès direct.....	10
3. Registre W (carry).....	10
4. Les mémoires externes (auxiliaires).....	10
5. Machine à case adressable.....	11
6. Déroulement de l'algorithme de M.C.A.....	12
7. Sémantique des instructions.....	12
8. Opérations arithmétiques sur les entiers naturels.....	14
9. Conclusion.....	16

DEUXIEME PARTIE Processeur Base sur la Machine de Nolin

Introduction	17
--------------------	----

CHAPITRE IV Langage de câblage

1. Canal et Flux	18
2. Cellule mémoire	18
3. Buffer trois états.....	18
4. Circuit logique.....	19
4.1 fonction OU.....	19
4.2 fonction ET.....	20
5. Additionneur.....	20

SOMMAIRE

6. Décodeur	21
7. Cellule Composée.....	21
8. Mémoire définitive.....	22
9. Principe d'Intégration.....	22
10. Mémoire momentanée.....	23

CHAPITRE V Structure du Processeur

1. Introduction.....	25
2. Structure de base du processeur.....	25
3. Schéma synoptique du processeur.....	25
4. Principe de fonctionnement du processeur.....	25

CHAPITRE VI Langage d'Utilisation du Processeur

1. Présentation du langage du processeur.....	27
2. Signification des instructions.....	27
3. Codage du langage d'utilisation du processeur.....	29
4. Programme interne.....	30

CHAPITRE VII Séquenceur (Circuit de pilotage)

1. Notion de séquençement des instructions.....	32
2. Les entrées/sorties du séquenceur.....	32
3. Schéma du séquenceur.....	33
4. Les différentes phases de séquençement.....	33
4.1 Phase de Calcul.....	34
4.2 Phase d'aiguillage.....	34
4.3 Phase conditionnelle.....	34
5. Générateur de Commandes.....	34
6. Horloge et Cadencement.....	35
7. Les phases de Cadencement.....	35
7.1 Phase transmission du code opération.....	35
7.2 Phase de mémorisation.....	35
7.3 Phase de Changement de phase.....	35

CHAPITRE VIII Dispositif d'Entrée/Sortie

1. Introduction.....	37
2. Dispositif d'Echange.....	37
3. Tableau récapitulatif du fonctionnement du dispositif d'échange.....	38
4. Introduction et exécution d'un programme.....	39
4.1 Implantation du programme en mémoire centrale.....	40
4.2 Introduction des données.....	41
4.3 Lancement du programme.....	41
4.4 Affichage du résultat.....	41
5. Initialisation du processeur.....	41

SOMMAIRE

CHAPITRE XI Câblage du Processeur

1. Objectif.....	42
2. Principe de Câblage du Processeur.....	42
3. Bloc du Calcul.....	42
3.1 Câblage du bloc du calcul.....	42
3.1.1 Les Buffers à trois états.....	42
3.1.2 Cellule mémoire.....	46
3.1.3 Registre W.....	47
3.1.3 L'additionneur.....	47
3.2 Memoire centrale.....	48
4. Circuit de Pilotage.....	49
4.1 Générateur d'Adresse.....	49
4.2 Cellules mémoire L1,L2.....	49
4.3 Mémoire de Commandes.....	52
4.4 L'horloge.....	53
4.4.1 Spécification du circuit 74123.....	53
4.4.2 Rappel sur les monostables.....	54
4.4.3 Stable à base du circuit 74123.....	54
4.4.4 Connexion de l'horloge.....	55
5. Dispositif d'entrée/sortie.....	56
 <i>CONCLUSION</i>	 57
 <i>BIBLIOGRAPHIE</i>	 59
 <i>ANNEXE I ...PROGRAMME INTERNE PRINCIPAL</i>	 62
 <i>ANNEXE II...CONTENU DES EPROMs</i>	 75
 <i>ANNEXE III...PROCESSEUR DECRIT EN LANGAGE DE CABLAGE</i>	 101
 <i>ANNEXE IV ...PROCESSEUR DECRIT EN CIRCUITS INTEGRES REELS</i> ...	 106